

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-015562
 (43)Date of publication of application : 18.01.2002

(51)Int.Cl. G11C 11/22
 G11C 14/00
 H01L 27/105

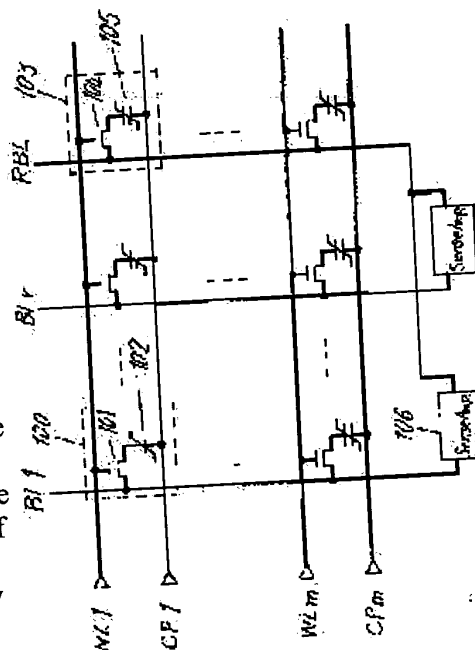
(21)Application number : 2000-196110 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 29.06.2000 (72)Inventor : MORIWAKI NOBUYUKI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent reduction the service life of a 1T1C type ferroelectric memory due to the deterioration in the endurance characteristics of reference cells caused by the high activation frequency of the reference cells by making the activation frequency of the reference cells to be approximately equal to the activation frequency of the memory cells.

SOLUTION: In the 1T1C-type ferroelectric memory, a plurality of reference cells are correspondingly arranged to a plurality of respective memory cells, that are connected to the same bit line BL1. Each of the memory cells 100 and each of corresponding reference cells 103 commonly have a word line WL1 and a cell plate line CP1. Thus, the activation frequency of the reference cells 103 and that of the memory cells 100 are made equal and, consequently, the endurance characteristics of the reference cells 103 will not deteriorate faster in comparison with the endurance characteristics of the memory cells.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-15562

(P2002-15562A)

(43)公開日 平成14年1月18日(2002.1.18)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)	
G 1 1 C	11/22	G 1 1 C	11/22	5 B 0 2 4
	14/00		11/34	3 5 2 A 5 F 0 8 3
H 0 1 L	27/105	H 0 1 L	27/10	4 4 4 Z

審査請求 未請求 請求項の数7 OL (全 8 頁)

(21)出願番号 特願2000-196110(P2000-196110)

(22)出願日 平成12年6月29日(2000.6.29)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 森脇 信行

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5B024 AA03 BA01 CA07

5F083 FR02 GA09 CA21 LA03 LA12

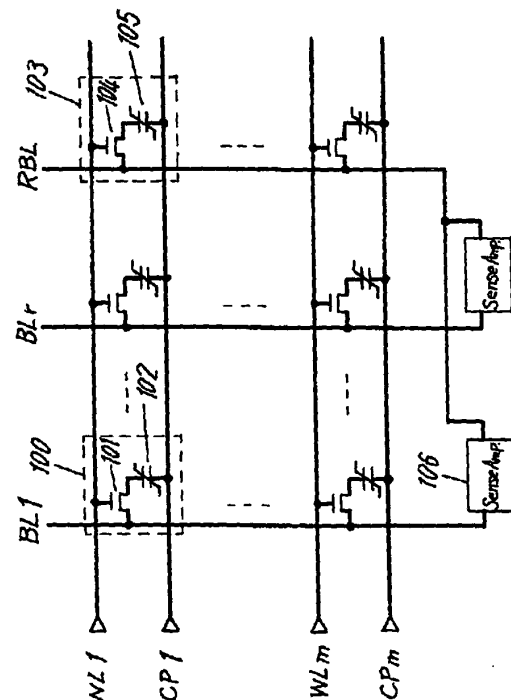
LA16 LA19 ZA28

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 1T1C型強誘電体メモリにおいて、リファレンスセルの活性頻度が高いためにリファレンスセルのエンデュランス特性が劣化してデバイスの寿命が短命化するのを、リファレンスセルの活性頻度をメモリセルの活性頻度と同程度に低減することで防止する。

【解決手段】 1T1C型強誘電体メモリにおいて、同一ビット線BL1に接続する複数のメモリセルの各々に対応して複数のリファレンスセルの各々が個別に配置され、各メモリセル100と、この各メモリセル100に対応する各リファレンスセル103とがワード線WL1とセルプレート線CP1とを共有した構成を有する。これにより、リファレンスセル103の活性化頻度が読み出しメモリセル100と等しくなり、リファレンスセル103のエンデュランス特性がメモリセルのエンデュランス特性に比べて早く劣化することが無くなる。



【特許請求の範囲】

【請求項1】 強誘電体膜を有するキャパシタを備えた1トランジスタ1キャパシタ型の、複数のメモリセルと複数のリファレンスセルからなる強誘電体メモリで構成された半導体記憶装置であって、同一ビット線に接続する前記複数のメモリセルの各々に対応して前記複数のリファレンスセルの各々が個別に配置され、前記各メモリセルと、該各メモリセルに対応する前記各リファレンスセルとがワード線とセルプレート線とを共有したことを特徴とする半導体記憶装置。

【請求項2】 メモリセルと、該メモリセルに対応するリファレンスセルとが共有するセルプレート線が分岐しており、前記リファレンスセルは前記セルプレート線の分岐前の信号線と接続し、前記メモリセルは前記セルプレート線の分岐前の信号と、前記メモリセルが接続するビット線に対応して設けられたブロック選択信号との論理積の信号を載せた前記セルプレート線の分岐後の信号線と接続したことを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 同一ビット線に接続した隣接する一組のメモリセルと、前記一組のメモリセルの各々に対応する一組のリファレンスセルとがセルプレート線を共有したことを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 リファレンスセルには常に‘0’データを書き込み、前記リファレンスセルからの出力電位が、メモリセルからの‘1’データの出力電位と‘0’データの出力電位との中間電位となるように、前記リファレンスセル中の強誘電体キャパシタの面積を前記メモリセル中の強誘電体キャパシタの面積より大きく設定したことを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】 リファレンスセルには常に‘1’データを書き込み、前記リファレンスセルからの出力電位が、メモリセルからの‘1’データの出力電位と‘0’データの出力電位との中間電位となるように、前記リファレンスセル中の強誘電体キャパシタの面積を前記メモリセル中の強誘電体キャパシタの面積より小さく設定したことを特徴とする請求項1に記載の半導体記憶装置。

【請求項6】 リファレンスセルが一对のメモリセルで構成され、前記一对のメモリセルのうち、一方のメモリセルには第1のビット線を通じて常に‘0’データを書き込み、他方のメモリセルには第2のビット線を通じて常に‘1’データを書き込み、読み出し時には前記第1のビット線に読み出す‘0’データの出力電位と前記第2のビット線に読み出す‘1’データの出力電位とを短絡して双方の中間電位を発生させるイコライズトランジスタを有したことを特徴とする請求項1または請求項3に記載の半導体記憶装置。

【請求項7】 リファレンスセルを構成する一对のメモリセルのうち、第1のビット線に接続する一方のメモリセルと、第2のビット線に接続する他方のメモリセルと

が、複数のメモリセルで構成されるメモリセルアレイの両端に分かれて配置されたことを特徴とする請求項6に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置、特に強誘電体膜を有するキャパシタを備えた半導体記憶装置に関するものである。

【0002】

10 【従来の技術】特許第2674775号（出願人：ラムトロンCORP、発明名称：強誘電体メモリ）に代表される従来の強誘電体メモリの回路例を図8（a）に示す。また図8（a）の回路における読み出し動作を図8（b）に示す。

【0003】メモリセル800は強誘電体キャパシタ802とアクセストランジスタ801より構成される。メモリセル800に格納されるデータを読み出すには、強誘電体キャパシタ802の一方の電極と接続しているアクセストランジスタ801のゲートに接続されるワード選択信号WL1をまず活性化し、メモリセル800を選択する。次に強誘電体キャパシタ802の他方の電極と接続しているセルプレート信号CP1を活性化することで、強誘電体キャパシタ802に電界を印加する。強誘電体キャパシタ802の強誘電体膜は電界を印加されて分極反転し、アクセストランジスタ801のドレインに接続されるビット線BLTに電位を発生する。この電位はメモリセルに格納されていたデータの“1”もしくは“0”により、それぞれ高電位“VH”もしくは低電位“VL”となる。これと同時にリファレンスワード線DWLとリファレンスセルプレート線DCPを活性化することによりリファレンスビット線BLBにもリファレンスセル803からリファレンス電位Vrefが発生される。リファレンス電位Vrefはリファレンス用強誘電体キャパシタ805のキャパシタ面積などを調整することにより、“VH”と“VL”の中間電位になるように設定されている。ビット線BLTとリファレンスビット線BLBの電位差がセンスアンプの検知レベル以上十分に開いた後、センスアンプ起動信号SAが活性化され、ビット線BLTに現れたメモリセル800のデータが読み出される。

【0004】

【発明が解決しようとする課題】図8（a）に示した強誘電体メモリの回路例では、説明を容易にするためメモリセルは1個しか明示されていないが、実際の回路ではビット線方向に複数個、例えば256個のメモリセルが配置されビット線BLTを共有し、ワード線によりその中の1ビットが選択されて読み出される。これに対してリファレンスセルはビット線BLBに通常1個のみ配置される。読み出し動作時には前述のように選択された150 個のメモリセルからのデータによりビット線BLTに生

じるビット線電位と、リファレンスセルからのデータによりビット線BLBに生じるリファレンス電位とをセンスアンプで検出し増幅して、選択されたメモリセルからのデータを読み出す。このため、このビット線BLTにつながるメモリセルをすべて読み出したとすると、これに対してリファレンスセルは256回活性化されることになり、通常のメモリセルに比べてリファレンスセルは2桁以上高頻度で活性化されることになる。

【0005】ところで、強誘電体キャパシタにはエンデュランス特性劣化がある。これは強誘電体の主要特性である分極量が、強誘電体に繰り返し電界を印加したり外したりすることにより減少していくものである。強誘電体メモリを繰り返し使用し続けると、このエンデュランス特性劣化のために通常のメモリセルもリファレンスセルも分極特性が劣化しビット線に現れる電位が減少するが、前述のようにリファレンスセルはメモリセルより高頻度に活性化されるために、リファレンスセルからのリファレンスレベルの変動は通常のメモリセルからのビット線電位の変動に比べ大きくなり、センスアンプの読み出し電位差は小さくなる。この結果、センスアンプの読み出し電位差がセンスアンプの検知能力以下になると動作不良にいたる。

【0006】また、この強誘電体メモリがランダムアクセス機能を有する場合には、メモリセルのアクセス回数にもアドレスによるばらつきが加わり、読み出しビット線電位差の減少はさらに著しくなり、強誘電体メモリの寿命を短くする。

【0007】このように従来の回路例では、リファレンスセルの活性化頻度が高いことからリファレンスセルのエンデュランス特性がデバイスの寿命を短命化するという課題が存在した。

【0008】本発明の目的は、リファレンスセルの活性化頻度をメモリセルの活性化頻度と同等に減少させることによって、エンデュランス特性の劣化によるリファレンスセルの寿命の短縮化を避け、強誘電体メモリの寿命延長を図ることにある。

【0009】

【課題を解決するための手段】上記課題を解決するために、本発明の第1の半導体記憶装置は、強誘電体膜を有するキャパシタを備えた1トランジスタ1キャパシタ型の、複数のメモリセルと複数のリファレンスセルからなる強誘電体メモリで構成された半導体記憶装置であって、同一ビット線BL1に接続する複数のメモリセルの各々に対応して複数のリファレンスセルの各々が個別に配置され、各メモリセル100と、この各メモリセル100に対応する各リファレンスセル103とがワード線WL1とセルプレート線CP1とを共有した構成を有する。

【0010】また、本発明の第2の半導体記憶装置は、本発明の第1の半導体記憶装置において、メモリセル2

00と、このメモリセル200に対応するリファレンスセル203とが共有するセルプレート線CP1が分岐しており、リファレンスセル203はセルプレート線の分岐前の信号線CP1と接続し、メモリセル200はセルプレート線の分岐前の信号CP1とメモリセル200が接続するビット線BL1に対応して設けられたブロック選択信号BLK1との論理積の信号を載せたセルプレート線の分岐後の信号線208と接続した構成を有する。

【0011】また、本発明の第3の半導体記憶装置は、本発明の第1の半導体記憶装置において、同一ビット線BL1に接続した隣接する一組のメモリセル300、303と、この一組のメモリセル300、303の各々に対応する一組のリファレンスセル306、309とがセルプレート線CP12を共有した構成を有する。

【0012】また、本発明の第4の半導体記憶装置は、本発明の第1の半導体記憶装置において、リファレンスセル103には常に‘0’データを書き込み、リファレンスセル103からの出力電位が、メモリセル100からの‘1’データの出力電位と‘0’データの出力電位との中間電位となるように、リファレンスセル103中の強誘電体キャパシタ105の面積をメモリセル100中の強誘電体キャパシタ102の面積より大きく設定した構成を有する。

【0013】また、本発明の第5の半導体記憶装置は、本発明の第1の半導体記憶装置において、リファレンスセル103には常に‘1’データを書き込み、リファレンスセル103からの出力電位が、メモリセル100からの‘1’データの出力電位と‘0’データの出力電位との中間電位となるように、リファレンスセル103中の強誘電体キャパシタの面積を前記メモリセル中の強誘電体キャパシタの面積より大きく設定した構成を有する。

【0014】また、本発明の第6の半導体記憶装置は、本発明の第1の半導体記憶装置において、リファレンスセルが一对のメモリセル403、406で構成され、一对のメモリセル403、406のうち一方のメモリセル406には第1のビット線LRLを通じて常に‘0’データを書き込み、他方のメモリセル403には第2のビット線HRLを通じて常に‘1’データを書き込み、読み出し時には第1のビット線LRLに読み出す‘0’データの出力電位と第2のビット線HRLに読み出す‘1’データの出力電位とを短絡して双方の中間電位を発生させるイコライズトランジスタ409を有した構成を有する。

【0015】また、本発明の第7の半導体記憶装置は、本発明の第3の半導体記憶装置において、リファレンスセルが一对のメモリセル506、512および509、515で構成され、一对のメモリセル506、512および509、515のうち一方のメモリセル512および515には第1のビット線LRLを通じて常に‘0’

データを書き込み、他方のメモリセル506および509には第2のビット線HRLを通じて常に‘1’データを書き込み、読み出し時には第1のビット線LRLに読み出す‘0’データの出力電位と第2のビット線HRLに読み出す‘1’データの出力電位とを短絡して双方の中間電位を発生させるイコライズトランジスタ518を有した構成を有する。

【0016】また、本発明の第8の半導体記憶装置は、本発明の第6の半導体記憶装置において、リファレンスセルを構成する一対のメモリセル603、606のうち、第1のビット線LRLに接続する一方のメモリセル606と、第2のビット線HRLに接続する他方のメモリセル603とが、複数のメモリセル600等で構成されるメモリセルアレイの両端に分かれて配置された構成を有する。

【0017】また、本発明の第9の半導体記憶装置は、本発明の第6の半導体記憶装置において、リファレンスセルを構成する一対のメモリセル707、713および710、716のうち、第1のビット線LRLに接続する一方のメモリセル713および716と、第2のビット線HRLに接続する他方のメモリセル707および710とが、複数のメモリセル701、704等で構成されるメモリセルアレイの両端に分かれて配置された構成を有する。

【0018】

【発明の実施の形態】以下本発明の第1の実施形態について説明する。

【0019】図1に示すようにメモリセル100はトランジスタ101と強誘電体キャパシタ102から構成される。メモリセルトランジスタ101のゲートはセルを選択する為のワード線信号WL1に接続し、強誘電体キャパシタ102の一方の電極はメモリセルトランジスタ101を介してビット線BL1に繋がり、強誘電体キャパシタ102の他方の電極はセルプレート線CP1に繋がる。説明図ではm本のワード線信号とr本のビット線からなるアレイを構成している。各ビット線はビット線に現れた電位を読み出すセンスアンプ106に接続している。各センスアンプ106は2つの信号入力端子を有し、一方はビット線BL1に繋がり他方はリファレンスレベルを入力する為リファレンスビット線RBLに接続する。ワード線WL1にはリファレンスセル103が接続し、リファレンスセル103はトランジスタ104と強誘電体キャパシタ105から構成される。他の各ワード線にもそれぞれリファレンスセルが繋がる。リファレンスセル103を構成する強誘電体キャパシタ105は読み出しの初期値として常に‘0’データが書き込まれ、そのキャパシタ105の大きさ（電極面積）は通常メモリセルキャパシタ102の大きさ（電極面積）より大きく設定する。

【0020】その大きさは図8（b）に示されるよう

に、メモリセル100からの‘0’データの電位VLと‘1’データの電位VHのちょうど中間電位Vrefとなるように設定される。ワード線WL1により選択されるメモリセル100を読み出すときには、ワード線WL1を活性化しかつセルプレート線CP1を活性化することにより強誘電体キャパシタ102には電界が印加され、メモリセル100の分極状態によりそれぞれのビット線BL1には読み出し電位VHもしくはVLが現れる。リファレンスセル103もワード線WL1とセルプレート線CP1を共有しているので、メモリセル100と同様に強誘電体キャパシタ105に電界が印加されてリファレンスビット線RBLにリファレンスレベルVrefが出力される。センスアンプ106はこのリファレンスレベルを基にビット線電位の‘1’または‘0’を読み出す。

【0021】リファレンスセル103はワード線WL1とセルプレート線CP1を共有するメモリセルと同じ回数だけ活性化されるのでエンデュランス特性による読み出し電位変動のばらつきが生じない。このことによりリファレンスセル103のエンデュランス特性劣化によってメモリデバイスの寿命が短くなることは無くなる。

【0022】以下本発明の第2の実施形態について説明する。

【0023】図2に示すメモリ回路では、メモリアレイは小ブロックに分割されている。1個のメモリブロックはr本のビット線とそれぞれm本のワード線、セルプレート線で構成され、各小ブロックはブロック選択信号BLK1からBLKkにより選択される。小ブロック内のメモリセル200は選択ワード線WL1と分割セルプレート線208により活性化される。小ブロック内の分割セルプレート線208はセルプレート線信号CP1とブロック選択信号BLK1の論理積により発生される。メモリセル200を読み出すとき、対応するリファレンスセル203はワード線WL1とセルプレート線CP1により活性化されセンスアンプ206にリファレンスレベルを提供する。ブロック選択信号BLKkで選択される小ブロック内のワード線WL1に繋がるメモリセルを読み出すときにもリファレンスセル203は活性化されリファレンスレベルを発生し、BLKk内のセンスアンプにリファレンスレベルを提供する。

【0024】本実施形態では、リファレンスセルは分割された小ブロックBLK1ないしBLKkに共有されるので、第1の実施形態よりは活性化頻度が増えるが、従来の回路例での活性化頻度よりは1桁以上軽減できる。これによりリファレンスセルのエンデュランス特性によるメモリ寿命の短縮は軽減することができる。本実施形態では小ブロック内にセンスアンプも含んだが、小ブロックがセンスアンプを含まず各小ブロックがセンスアンプを共有することも可能である。

【0025】以下本発明の第3の実施形態を示す。

【0026】図3に示すように本実施形態においては、ワード線WL1に繋がるメモリセル群300等とそれに隣接するワード線WL2に繋がるメモリセル群303等とがセルプレート線CP12を共有している。また、それらに繋がるリファレンスセル306、309もセルプレート線CP12を共有している。本構成においても第1の実施形態と同様に、メモリセルの活性化回数とリファレンスセルの活性化回数は等しくなるのでエンデュランス特性によるリファレンスセル読み出し電位変動のばらつきが生じない。このことによりリファレンスセルのエンデュランス特性劣化によってメモリデバイスの寿命が短くなることは無くなる。

【0027】さらに、本実施形態ではセルプレート線を共通としているため、セルプレート線およびその周辺マージンのための占有面積を縮小でき、したがって強誘電体メモリの面積を縮小することができる。

【0028】また、第2の実施形態のようにセルプレート線CP12に分割セルプレート線を用いることも可能である。

【0029】以下、本発明の第4の実施形態を示す。

【0030】図4に示すように、メモリセル400に対するリファレンスセルは403と406より構成され、メモリセル400とリファレンスセル403、406はワード線WL1とセルプレート線CP1を共有している。リファレンスセル403、406はそれぞれメモリセル400と等しく1個のトランジスタ404、407と1個の強誘電体キャパシタ405、408より構成され、その容量値もメモリセルと等しい。本構成ではリファレンスビット線HRLに繋がるリファレンスセル403は読み出しの初期値として常に‘1’データに書き込まれ、リファレンスビット線LRLに繋がるリファレンスセル406は常に‘0’データに書き込まれる。メモリセル400の読み出しに当たってはワード線WL1とセルプレート線CP1を活性化することによりメモリセルとリファレンスセル403、406を活性化する。メモリセル400から蓄積データに対応した電位がビット線BL1に現れると同時に、リファレンスビット線HRLには‘1’データに対応する電位VHが現れリファレンスビット線LRLには‘0’データに対応するVLが現れる。ここでイコライズトランジスタ409のゲート信号EQを活性化することにより、VHとVLのレベルをショートしてちょうどVHとVLの中間電位Vrefをセンスアンプのリファレンス電位として発生する。

【0031】本構成においてもメモリセルの活性化回数とリファレンスセルの活性化回数は等しくなるのでエンデュランス特性によるリファレンスセル読み出し電位変動のばらつきが生じない。このことによりリファレンスセルのエンデュランス特性劣化によってメモリデバイスの寿命が短くなることは無くなる。

【0032】さらに、本構成ではリファレンスセルの容

量値をメモリセルの容量値と同じ、すなわち同一面積にできるため、製造プロセス上の制御性が容易になる。

【0033】また、第2の実施形態のようにセルプレート線CP12に分割セルプレート線を用いることも可能である。

【0034】以下、本発明の第5の実施形態を示す。

【0035】図5に示すように第5の実施形態は、第3の実施形態と第4の実施形態とを組み合わせた実施形態であり、具体的にはワード線WL1に繋がるメモリセル群500等とそれに隣接するワード線WL2に繋がるメモリセル群503等がセルプレート線CP12を共有している。また、それらに繋がるリファレンスセル506、512および509、515もセルプレート線CP12を共有している。

【0036】本構成においても第1の実施形態と同様に、メモリセルの活性化回数とリファレンスセルの活性化回数は等しくなるのでエンデュランス特性によるリファレンスセル読み出し電位変動のばらつきが生じない。このことによりリファレンスセルのエンデュランス特性劣化によってメモリデバイスの寿命が短くなることは無くなる。

【0037】さらに、本実施形態ではセルプレート線を共通としているため、セルプレート線およびその周辺マージンのための占有面積を縮小でき、したがって強誘電体メモリの面積を縮小することができる。

【0038】また、第2の実施形態のようにセルプレート線CP12に分割セルプレート線を用いることも可能である。

【0039】以下、本発明の第6の実施形態を示す。

【0040】図6に示すように、第4の実施形態と同様のメモリセル600とリファレンスセル603、606の構成を有するが、第4の実施形態との構成の違いは‘1’データを出力するリファレンスセル603ともう一方‘0’データを出力するリファレンスセル606とを、それらの間にメモリセルアレイを挟むようにメモリ領域の両端に配置する点にある。通常メモリアレイでは、アレイの最外周の端部分は物理的にアレイ中央部とは加工精度に差があり、一般に特性的に劣ることが知られている。この対策として、通常メモリアレイの最外周にさらに電気的には活性化しないダミーセルを一周以上配置する対策がとられるが、本実施形態ではリファレンスセルを両端に配置することによりリファレンスセルにこのダミーセルの役割をも兼ねさせて、ダミーセルの配置を無用とすることによりレイアウト面積の低減を図る。リファレンスセルは読み出し初期値として常に‘1’データもしくは‘0’データに書き込まれるので最外周に配置したことによる特性劣化の影響を受けることが無い。このようにレイアウト面積を低減しながら第4の実施形態と同等の効果をj得ている。

【0041】以下、本発明の第7の実施形態を示す。

9

【0042】図7に示すように第7の実施形態は、第3の実施形態と第6の実施形態とを組み合わせた実施形態であり、具体的にはワード線WL1に繋がるメモリセル群700等とそれに隣接するワード線WL2に繋がるメモリセル群703等がセルプレート線CP12を共有している。また、それらに繋がるリファレンスセル706, 712および709, 715もセルプレート線CP12を共有している。

【0043】本構成においても第1の実施形態と同様に、メモリセルの活性化回数とリファレンスセルの活性化回数は等しくなるのでエンデュランス特性によるリファレンスセル読み出し電位変動のばらつきが生じない。このことによりリファレンスセルのエンデュランス特性劣化によってメモリデバイスの寿命が短くなることは無くなる。

【0044】さらに、本実施形態ではセルプレート線を共通としているため、セルプレート線およびその周辺マージンのための占有面積を縮小でき、したがって強誘電体メモリの面積を縮小することができる。

【0045】また、第2の実施形態のようにセルプレート線CP12に分割セルプレート線を用いることも可能である。

【0046】

【発明の効果】以上のように本発明はリファレンスセルの活性化頻度をメモリセルの活性化頻度と同等にする手段を提供し、リファレンスセルのエンデュランス特性劣化による寿命の短縮を避け、強誘電体メモリの寿命延長

に役立つものである。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す回路図

【図2】本発明の第2の実施形態を示す回路図

【図3】本発明の第3の実施形態を示す回路図

【図4】本発明の第4の実施形態を示す回路図

【図5】本発明の第5の実施形態を示す回路図

【図6】本発明の第6の実施形態を示す回路図

【図7】本発明の第7の実施形態を示す回路図

【図8】従来の回路例とその動作タイミング図

【符号の説明】

WL1~WLm ワード線

CP1~CPm セルプレート線

CP12~CPmn セルプレート線

BLT, BL1~BLr メモリセルのビット線

BLB, RBL, HRL, LRL リファレンスセルのビット線

BLK1~BLKk ブロック選択信号

Sense Amp. センスアンプ

100 メモリセル

101 メモリセルを構成するトランジスタ

102 メモリセルを構成する強誘電体キャパシタ

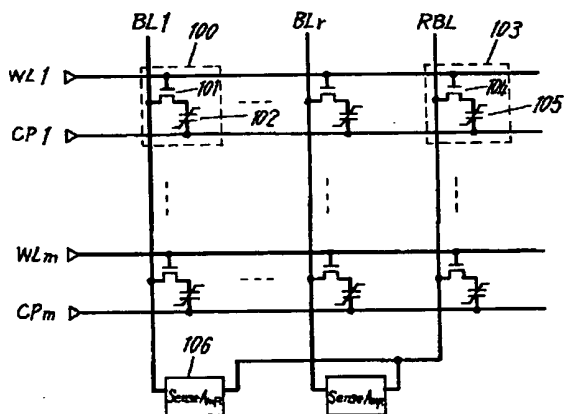
103 リファレンスセル

104 リファレンスセルを構成するトランジスタ

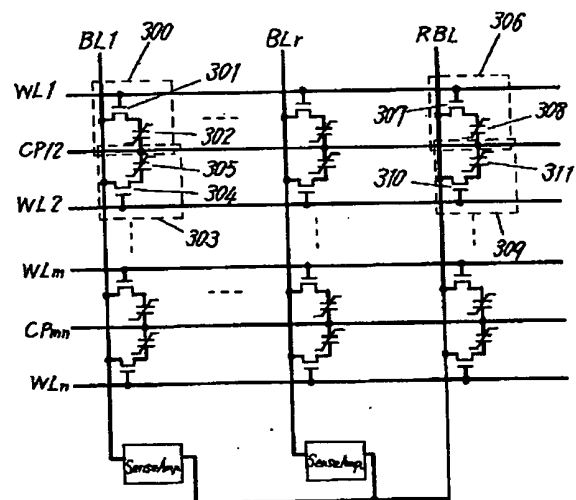
105 リファレンスセルを構成する強誘電体キャパシタ

409, 518 イコライズトランジスタ

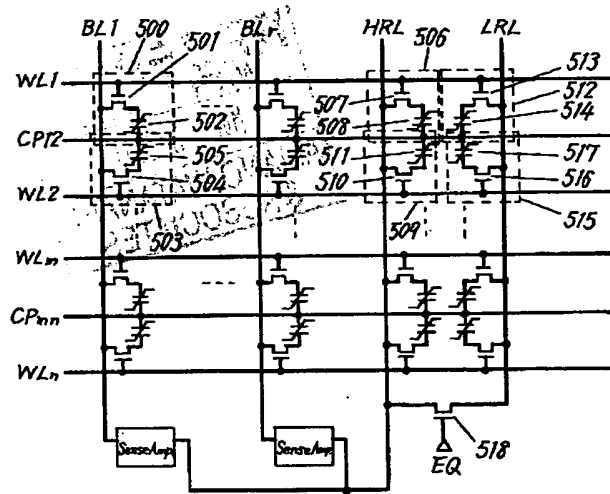
【図1】



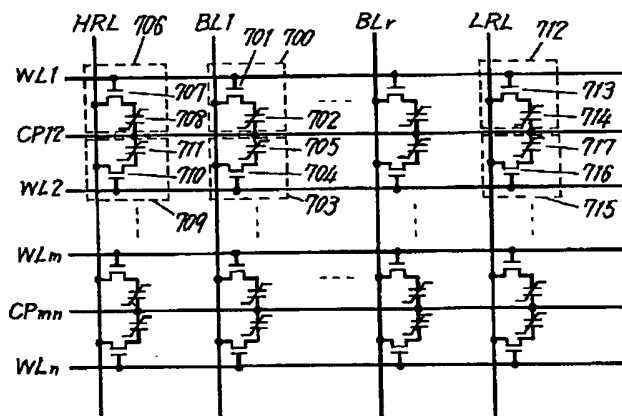
【図3】



【図5】



【図7】



【図8】

